

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-038835

(43)Date of publication of application : 14.04.1981

(51)Int.Cl.

H01L 21/76
H01L 21/302
H01L 29/72

(21)Application number : 54-115510

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.09.1979

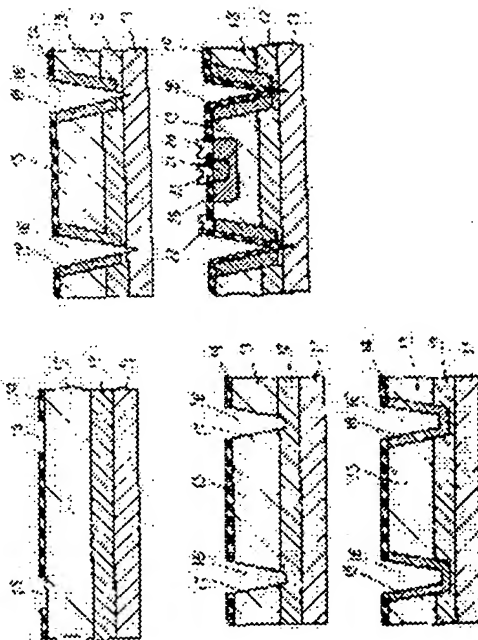
(72)Inventor : NAKAJIMA TATSUNORI
KAJIWARA KOSEI
NAGANO KAZUTOSHI
YASUNO KOSUKE
ONAKA SEIJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide very small grooves by a method wherein epitaxial layers of a reverse conductive type high and low densities are formed on a signal-conductor type substrate, grooves are made by performing an anisotropic etching, a reverse conductive type high density diffusion is performed and grooves reaching the substrate are formed by performing an anisotropic etching.

CONSTITUTION: For instance, after an N+ type epitaxila layer 12 and N type epitaxial layer 13 are formed on a P type Si substrate 11, an SiO₂ film 14 having a window 15 at an isolated section is formed on the N type layer 13 and grooves 16 reachaing the N+ type layer 12 are formed by performing an anisotropic etching. After an N+ type region 18 is formed by diffusion on the side of the grooves 16 and the grooves are extended to the substrate 11 by performing an additional anisotropic etching. A protective SiO film is provided on the exposed section of the grooves and this enables to omit high temperature heat treatment processes such as a burried diffusion, an isolated diffusion, etc., occurrence of defects can be prevented, pressure resistance is improved and a high density can be obtained. This method can be applied to ICs including bipolar, diode, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—38835

⑤ Int. Cl.³

H 01 L 21/76
21/302
29/72

識別記号

庁内整理番号

6426—5F
6741—5F
7514—5F

⑬ 公開 昭和56年(1981)4月14日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

門真市大字門真1006番地松下電
器産業株式会社内

⑯ 特 願 昭54—115510

⑰ 発 明 者 安野耕介

⑱ 出 願 昭54(1979)9月7日

門真市大字門真1006番地松下電
器産業株式会社内

⑲ 発 明 者 中島龍典

⑳ 発 明 者 大仲清司

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地松下電
器産業株式会社内

㉑ 発 明 者 梶原孝生

㉒ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地

㉓ 発 明 者 長野数利

㉔ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一導電形の半導体基板上に逆導電形の高濃度の第1の層およびその上に逆導電形の低濃度の第2の層をエピタキシャル成長により形成する工程と、前記基板表面の分離すべき領域から選択的に異方性エッチングにより所定量エッチングして溝を形成する工程と、前記露出した溝側面に逆導電形の高濃度領域を拡散によって形成する工程と、引続き更に異方性エッチングによって前記溝を前記基板にまで達する様に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に高温の熱処理を省略した改良されたトランジスタ、ダイオードの製造方法を提供する。

第1図は従来のトランジスタの断面図である。同図にしたがってその製造工程を説明する。たと

えばP形シリコン基板1の所定の領域に通常N⁺形の高濃度埋込層2が拡散によって形成される。この埋込層の形成のためにはたとえば1200℃で数時間の拡散を必要とし、シリコン基板にはスリップライン、転位等の欠陥が発生しやすい。次にN形のエピタキシャル層3が形成されるが、エピタキシャル層には前述の基板の種々の欠陥がそのまま引継がれてしまい高品質の結晶が得られない。次に分離のためのP⁺形分離拡散層4が形成されるが、この分離拡散にはたとえば1150℃で約20時間もの高温、長時間の拡散を必要とする。このためエピタキシャル接合界面からは高不純物濃度側から低不純物濃度側すなわち埋込層2からエピタキシャル層3へ向って再拡散が発生し、所定の不純物濃度の実効的なエピタキシャル厚みは減少する。更にN⁺形のコレクタコンタクト層5が前記埋込層に達する様に形成されるがやはり高温長時間の拡散となるため埋込層の上方への再拡散が更に大きくなる。次にP形ベース層6、N⁺形エミッタ層7が各々拡散されてトランジスタが形

3.

成されるが前述のように高温、長時間の分離拡散コレクターコンタクト拡散での埋込層の再拡散による持上りのため実効的なエピタキシャル厚みが薄くなりベースコレクター間耐圧が大巾に低下してしまふ。更にエピタキシャル層中の種々の欠陥のためリーク電流等も増大し、トランジスタ特性を劣化させる。またコレクター基板間の耐圧を維持するためには分離拡散層4とコレクターコンタクト層5との間の間隔を充分広くとらねばならず、また各々の層はその拡散深さ分だけ横方向にも拡がるため更に間隔は広くなり、上記従来の方法では平面パターンの微細化が困難で高密度化が不可能であった。更に埋込層を有するエピタキシャル層は、一般にエピタキシャル層表面に形成される埋込層のパターンがずれるいわゆるディスプレイメントが発生するためその後のマスク合せがやりにくい不都合も発生していた。

本発明はかかる従来の欠点に鑑みてなされたものであり、底面及び側面が高濃度領域で囲まれ、かつ分離された島領域を高温の熱処理を大巾に短

5.

縮して製造する方法を提供するものである。層をエピタキシャル成長によって形成する。このためシリコン基板はエピタキシャル成長前に高温の埋込拡散等の処理がなく、基板の欠陥発生はなく高品質のエピタキシャル層が得られる。引続き今度は低濃度のN形エピタキシャル成長を行ない第2層13を形成する(第2図A)。

次に第2層13の表面に SiO_2 膜14を形成した後所定の領域に分離用の窓15を開口する(第2図B)。

次に上記 SiO_2 膜14をマスクとして窓15より露出する第2層13表面をたとえばヒドラジン水溶液を60℃に加熱して異方性エッチングを施すことにより第2層12に達する様に溝16を形成する。溝16は表面の分離窓15より側面17に(111)面を露出しながら形成され、側面にはエッチングが進行せず、したがって分離溝の中は窓15の中以上に広がることはない(第2図C)。

次に前記基板に対して N^+ 形拡散を行なう。この結果溝16によって露出した第2層側面17お

4.

縮して製造する方法を提供するものである。

本発明は異方性エッチングによる分離を利用することを特徴とする。結晶面が(100)の場合、アルカリ性のエッチングを行なうことによって、(100)方向すなわち深さ方向Kのみエッチングが進行し、側面へは(111)面が露出してエッチングは進行せず、表面と約55°の角度のV字形の溝を形成し、(111)面接触する底部においてエッチングは自動的に停止する。

本発明は上記異方性エッチングによる分離を行なう途中段階において、一旦エッチングを停止して同一窓より拡散を行ない、更にエッチングを継続することを特徴とするものである。

以下第2図によって本発明の一実施例を説明する。

P形の(100)面を有するシリコン基板11の表面に N^+ 形の例えば $0.01\Omega/\text{cm}^2$ のエピタキシャル成長を行ない第一層12を形成する。第1層12は従来の埋込層と同等の作用をする。すなわちコレクターの直列抵抗を減じるための底面の N^+

6.

よび第1層12表面に N^+ 形領域18が形成される。 N^+ 形領域18は N^+ 形の第1層12のコレクターコンタクト領域となるものであり、従来のように表面から深い拡散をしなくても済み、高温長時間の拡散を大巾に短縮するものである(第2図D)。

次に再び前記溝16に対してヒドラジン水溶液の異方性エッチングを行なうと溝16は更にエッチングが進行し、そして基板11に達した段階で自動的に停止する。この場合エッチングは側面には進行しないため N^+ 形領域18はそのまま残り、エッチングによって除去されることはない。この結果溝16によって分離され、かつ底面および側面を N^+ 形領域で囲まれたN形島領域を得ることができる(第2図E)。

次に前記基板表面に SiO_2 膜19を形成した後拡散用窓を開口し、P形ベース領域20、 N^+ 形エミッタ領域21を形成し、各々の領域の電極22、23、24を形成してトランジスタを得る(第2図F)。

以上実施例で示したように本発明の方法によれば異方性エッチングによる分離用溝を形成することによって高温、長時間の分離拡散を省略し、更にエッチングが側面には進行しないことを利用して前記エッチングを途中で停止した後、形成された溝側面よりコレクター・コンタクト拡散を行なうことによって前記工程のマスク合せ工程を省略しかつ分離拡散と同程度の熱処理時間、温度を必要とする従来のコンタクト拡散をも省略出来るためエピタキシャル成長時の接合位置が殆んど変ることがなく、設計通りの耐圧を容易に得ることができる。

また埋込層の代りに高濃度エピタキシャル層を用いるため、埋込拡散工程が省略でき、基板およびエピタキシャル層への不要な結晶欠陥の発生も防止でき、またエピタキシャル層表面のパターンズレ等を考慮しなくてもよい。またコレクタ直列抵抗は底面及び側面が N^+ 形領域で囲まれるため従来よりも低くすることができる。更に分離拡散コレクター・コンタクト拡散による横方向拡がりを

考慮しなくてもよく、高密度化が可能となる。

以上述べたように本発明によれば、P形シリコン基板上に N^+ 、N形のエピタキシャル成長を行ない、更に分離を異方性エッチによって行ない、かつエッチングの途中で溝内に拡散を行なうことによって、埋込拡散工程、分離拡散、コレクター・コンタクト拡散工程を省略し、かつ高密度化が可能となるトランジスタ、ダイオード等の製造方法が可能となるものである。

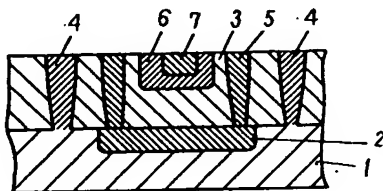
4. 図面の簡単な説明

第1図は従来のトランジスタ構造を説明するための断面図、第2図は本発明による一実施例を示すバイポーラトランジスタの製造工程断面図である。

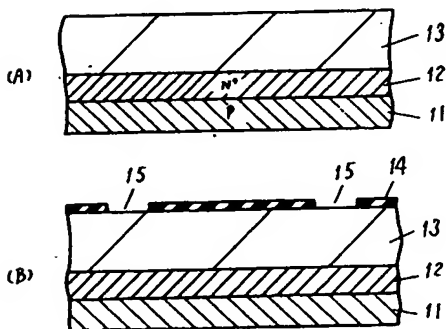
11……P形シリコン基板、12…… N^+ 形エピタキシャル第1層、13……N形エピタキシャル第2層、16……溝、18…… N^+ 形拡散領域。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 2 図

